

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
19. Juni 2003 (19.06.2003)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 03/050850 A2**

(51) Internationale Patentklassifikation<sup>7</sup>: **H01L 21/00**

(21) Internationales Aktenzeichen: **PCT/DE02/04398**

(22) Internationales Anmeldedatum:  
29. November 2002 (29.11.2002)

(25) Einreichungssprache: **Deutsch**

(26) Veröffentlichungssprache: **Deutsch**

(30) Angaben zur Priorität:  
101 61 043.2 12. Dezember 2001 (12.12.2001) **DE**

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von  
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-  
Martin-Strasse 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **MAYERHOFER,**  
**Boris** [DE/DE]; Prinzenweg 20, 93047 Regensburg (DE).  
**MÜLLER, Jochen** [DE/DE]; Probstberg 83, 93173  
Wenzenbach (DE).

(74) Anwalt: **EPPING, HERMANN & FISCHER**; Ridler-  
strasse 55, 80339 München (DE).

(81) Bestimmungsstaaten (national): **BR, CA, CN, IL, IN, JP,**  
**KR, MX, RU, UA, US.**

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,  
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,  
IE, IT, LU, MC, NL, PT, SE, SK, TR).

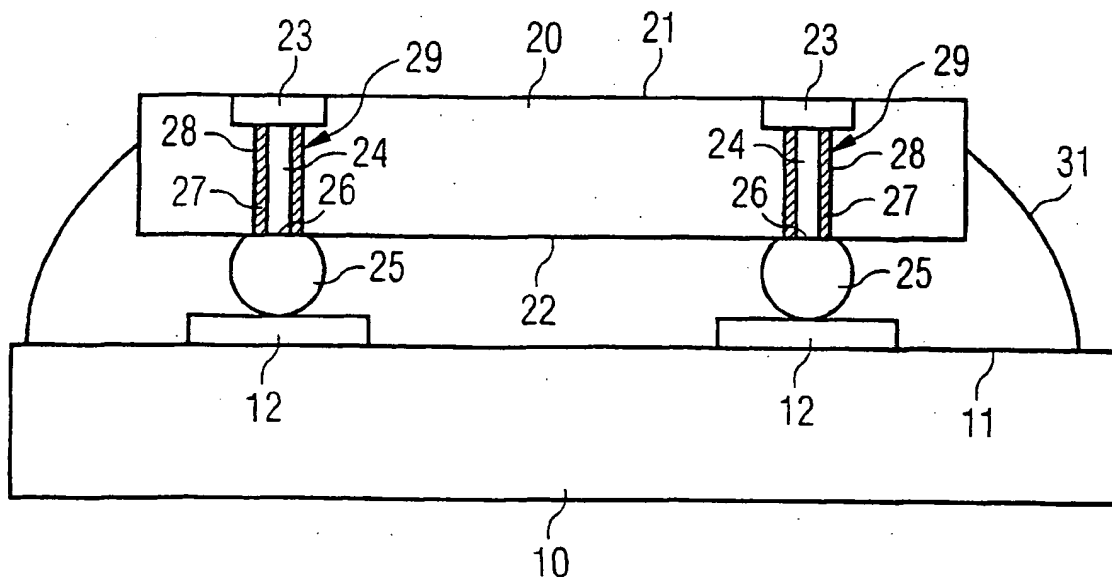
Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu  
veröffentlichen nach Erhalt des Berichts

[Fortsetzung auf der nächsten Seite]

(54) Title: **CHIP ASSEMBLY**

(54) Bezeichnung: **CHIPANORDNUNG**



(57) Abstract: The invention relates to a chip assembly comprising a chip (20) having a front side (21) and a rear side (22) and in whose front side at least one integrated component is provided. The chip is provided, on or in the front side thereof, with contact locations (23) serving to contact the integrated component and has contact material elements (24) made of a contact material that extend in material receptacles (29) between the contact locations (23) and contact points (26) on the rear side of the chip. The chip assembly also comprises a substrate (10) with a contact side (11) on which contact surfaces (12) for defining a contact surface layout are provided. The chip is placed on the substrate so that the rear side (22) of the chip (20) is situated on the contact side (11) of the substrate (10), and the contact surfaces (12) rest opposite the contact points (26) while establishing an electrical connection.

[Fortsetzung auf der nächsten Seite]

WO 03/050850 A2



*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

---

**(57) Zusammenfassung:** Die Erfindung schlägt eine Chipanordnung mit einem eine Vorderseite (21) und eine Rückseite (22) aufweisenden Chip (20) vor, in dessen Vorderseite mindestens ein integriertes Bauelement ausgebildet ist, wobei der Chip auf oder in seiner Vorderseite zur Kontaktierung des integrierten Bauelementes mit Kontaktstellen (23) versehen ist und Kontaktmaterialelemente (24) aus einem Kontaktmaterial aufweist, die sich in Materialaufnahmen (29) zwischen den Kontaktstellen (23) und Kontaktpunkten (26) auf der Rückseite des Chips erstrecken, und mit einem Substrat (10) mit einer Kontaktseite (11), auf der Kontaktflächen (12) zur Definition eines Kontaktflächenlayouts ausgebildet sind, wobei der Chip derart auf dem Substrat angeordnet ist, dass die Rückseite (22) des Chips (20) auf der Kontaktseite (11) des Substrates (10) angeordnet ist und die Kontaktflächen (12) unter Herstellung einer elektrischen Verbindung gegenüberliegend den Kontaktpunkten (26) zum Liegen kommen.

## Beschreibung

# Chipanordnung

5 Die Erfindung betrifft die Anordnung bzw. Kontaktierung eines  
Chips auf einem Substrat in Flip-Chip-ähnlicher Technologie.  
Anordnungen der beschriebenen Art weisen auf dem Substrat auf  
einer Kontaktseite eine Mehrzahl an Kontaktflächen zur Defi-  
nition eines Kontaktflächenlayouts auf, mit denen der Chip  
10 elektrisch verbunden ist. Häufig werden die Chipanordnungen  
dann in Trägerkörper, beispielsweise in Chipkarten, eingebaut.

Aus dem Stand der Technik ist es seit langem bekannt, einen Chip in Flip-Chip-Technologie mit dem Substrat zu verbinden. Ein derartiges Ausführungsbeispiel ist in der Figur 2 dargestellt. Auf einer Kontaktseite 11 eines Substrats 10 sind beispielhaft zwei Kontaktflächen 12 vorgesehen. Die Kontaktflächen 12 könnten dabei auch bündig mit der Fläche der Kontaktseite 11 abschließen. Ein Chip 20, der auf seiner Vorderseite 21 mit Kontaktstellen 23 versehen ist, die zur Kontaktierung eines in der Vorderseite integrierten Bauelementes dienen, ist jeweils über eine Kontaktmetallisierung 25 mit den Kontaktflächen 12 auf dem Substrat 10 verbunden. Auf der Vorderseite 21 des Chips 20 ist üblicherweise eine (in der Figur nicht dargestellte) Passivierungsschicht zum Schutz der integrierten Bauelemente vorgesehen. Die Kontaktstellen 23 sind in der Passivierungsschicht gelegen oder reichen durch diese hindurch, um die in der Vorderseite des Chips ausgebildete integrierten Bauelemente zu kontaktieren. Zwischen der Vorderseite 21 und der Kontaktseite 11 des Substrates ist weiterhin eine Vergußmasse 31, die beispielsweise ein Kleber sein kann, vorgesehen. Dieser dient dazu, die Vorderseite des Chips sowie die elektrischen Verbindungen vor Feuchte zu schützen und die mechanische Halterung des Chip auf dem Substrat zu verbessern. Die Vergußmasse 31 könnte - auch wenn dies in Figur 2 nicht dargestellt ist - den Chip 20 vollständig umgeben.

Werden die beschriebenen Chipanordnungen in Chipkarten eingebaut, so besteht bei der Nutzung der Chipkarten die Gefahr, daß die Chips oder die elektrischen Verbindungen auf Grund auf die Chipkarte bzw. die Chipanordnung einwirkender Biegebelastungen beschädigt werden. Zur Vermeidung derartiger Beschädigungen ist es bekannt, in dem Substrat Soll-Biegestellen, z. B. durch gezielte Schwächung des Substrates, vorzusehen, um die mechanischen Belastungen von dem Chip fernzuhalten. Die Gefahr, daß der Chip bzw. die in ihm ausgebildeten Bauelemente bei einer Biegebelastung beschädigt wird, ist in Chipanordnungen, die in Flip-Chip-Technologie aufgebaut sind, größer als bei konventionellen Chipanordnungen, die zur Herstellung eines elektrischen Kontaktes zwischen den Kontaktstellen des Chips und den Kontaktflächen des Substrates Bonddrähte verwenden.

Die Aufgabe der vorliegenden Erfindung besteht deshalb darin, eine Chipanordnung anzugeben, bei der der Chip auf ein Substrat aufgebracht ist und welche eine hohe Belastbarkeit im Falle einer auf die Chipanordnung einwirkenden Biegekraft aufweist.

Diese Aufgabe wird mit den Merkmalen des Anspruches 1 gelöst. Vorteilhafte Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

Der Erfindung liegt die Erkenntnis zu Grunde, daß der Bruch eines Chips in einer Chipanordnung hauptsächlich von der Seite ausgeht, die mit dem Substrat verbunden ist. Bei Chipanordnungen, die in Flip-Chip-Technologie auf das Substrat aufgebracht sind, bedeutet dies, daß die Vorderseite, in der die integrierten Bauelemente ausgebildet sind, mit der Kontaktseite des Substrates verbunden ist. Dies hat zur Folge, daß von der Vorderseite die höchste Bruchgefahr ausgeht und somit

eine Beschädigung der in der Vorderseite ausgebildeten integrierten Bauelemente wahrscheinlich ist.

Die Erfindung sieht deshalb eine Chipanordnung mit einem eine  
5 Vorderseite und eine Rückseite aufweisenden Chip vor, in dessen Vorderseite mindestens ein integriertes Bauelement ausgebildet ist, wobei der Chip auf oder in seiner Vorderseite zur Kontaktierung des integrierten Bauelementes mit Kontaktstellen versehen ist. Weiterhin weist der Chip erfindungsgemäß  
10 Kontaktmaterialelemente aus einem Kontaktmaterial auf, die sich in Materialaufnahmen zwischen den Kontaktstellen und Kontaktpunkten auf der Rückseite des Chips erstrecken. Die Chipanordnung umfaßt weiterhin ein Substrat mit einer Kontaktseite, auf der Kontaktflächen zur Definition eines Kontaktflächenlayouts ausgebildet sind. Der Chip ist derart auf  
15 dem Substrat angeordnet, daß die Rückseite des Chips auf der Kontaktseite des Substrats angeordnet ist und die Kontaktflächen unter Herstellung einer elektrischen Verbindung gegenüberliegend den Kontaktpunkten zum Liegen kommen.

20 Dies bedeutet, daß die Flip-Chip-ähnliche Kontaktierung des Chips mit dem Substrat über dessen Rückseite erfolgt. Da sich die integrierten Bauelemente nunmehr auf der der Kontaktseite des Substrats abgewandten Seite des Chips befinden, muß die  
25 elektrische Verbindung beispielsweise mittels einer Durchkontaktierung oder mittels entlang der Oberfläche des Chips verlaufender Leiterzüge erfolgen, so daß auch auf der Rückseite des Chips entsprechende Kontaktpunkte zur weiteren Kontaktierung zur Verfügung stehen.

30 Dies hat zur Folge, daß die Kontaktstellen auf der Vorderseite des Chips nicht notwendigerweise auf der Vorderseite ausgebildet sein müssen. Vielmehr können die Kontaktstellen, die zur Kontaktierung des integrierten Bauelementes dienen, auch  
35 in der Vorderseite, also nicht von außen her zugänglich, angeordnet sein. Beispielsweise könnten die Kontaktstellen unter der eingangs genannten Passivierungsschicht liegen. In

beiden Fällen sind die Kontaktstellen als Metallisierungen, sogenannte Kontaktpads, ausgebildet. Jedoch ist nicht mal dies notwendig, wenn die Kontaktstellen ein dotiertes Gebiet, das in der Vorderseite des Chips vergraben ist, darstellen.

5

In einer bevorzugten Ausgestaltung ist vorgesehen, daß der Chip auf seiner Rückseite gedünnt ist. Das Dünnen der Rückseite kann mittels unterschiedlicher Methoden, z. B. Ätzen oder Polieren erfolgen. Durch die Wahl geeigneter Bearbeitungsmethoden ist es möglich, die Bruchfestigkeit der Rückseite zu erhöhen. Sofern die Kontaktstellen auf der Vorderseite des Chips ausgebildet sind, sind die Möglichkeiten die Vorderseite in Ihrer Bruchfestigkeit zu erhöhen jedoch beschränkt. Das Rückseitendünnen des Chips dient somit zur mechanischen Stabilisierung und zur Erhöhung der Bruchfestigkeit des Chips.

In einer weiteren vorteilhaften Ausgestaltung ist vorgesehen, daß die Materialaufnahmen durch den Chip hindurch verlaufen. Die in den Materialaufnahmen befindlichen Kontaktmaterialelemente stellen somit Durchkontaktierungen bzw. Rückseitenkontakte dar. Insbesondere im Zusammenhang mit der Rückseitendünnung stellt die Herstellung von Durchkontaktierungen bzw. Rückseitenkontakten ein erprobtes und zuverlässiges Herstellungsverfahren dar.

Alternativ oder zusätzlich kann vorgesehen sein, die Materialaufnahmen entlang der Vorderseite, der Rückseite und zumindest einer die Vorder- und Rückseite verbindenden Seitenkante des Chips verlaufen zu lassen. Die Herstellung eines elektrischen Kontaktes zwischen den auf der Vorderseite befindlichen Kontaktstellen und den auf der Rückseite befindlichen Kontaktpunkten erfolgt somit über auf der Oberfläche des Chips verlaufende Leiterstrukturen. In dieser Variante kann gegebenenfalls auf das Vorsehen von Durchkontaktierungen verzichtet werden.

Die Erfindung wird an Hand der Zeichnungen nachfolgend näher erläutert. Es zeigen:

Figur 1 ein Ausführungsbeispiel der erfindungsgemäßen  
5 Chipanordnung, und

Figur 2 eine aus dem Stand der Technik und einleitend beschriebene Chipanordnung.

10 Figur 1 zeigt ein Ausführungsbeispiel der erfindungsgemäßen Chipanordnung. Auf der Kontaktseite 11 eines Substrates 10 sind beispielhaft zwei Kontaktflächen 12 angeordnet. Die Kontaktflächen 12 könnten auch in der Kontaktseite 11 eingelassen sein, so daß sie bündig mit dessen Oberfläche abschließen.  
15

Ein Chip 20 weist eine Vorderseite 21 und eine Rückseite 22 auf. In der Vorderseite 21 ist zumindest ein integriertes Bauelement ausgebildet. Die Vorderseite 21 wird deshalb auch  
20 als "aktive Seite" des Chips bezeichnet. Auf der Vorderseite 21 sind beispielhaft zwei Kontaktstellen 23 vorgesehen, die in konventioneller Weise ausgebildet sind. Dies bedeutet auf der Vorderseite 21 ist eine Passivierungsschicht aufgebracht, auf welcher die Kontaktstellen 23 ausgebildet sind. Die Kontaktstellen 23 reichen dann durch die Passivierungsschicht  
25 hindurch und kontaktieren jeweils wenigstens ein integriertes Bauelement.

Erfindungsgemäß ist die Rückseite 22 des Chips 20 der Kontaktseite 11 des Substrates 10 zugewandt und mit dieser mechanisch fest verbunden. Die mechanische Verbindung kann beispielsweise über einen Kleber 31 realisiert sein. Zur Herstellung eines elektrischen Kontaktes zwischen den Kontaktstellen 23 und den Kontaktflächen 12 des Substrates 10 sind  
30 in dem Chip Materialaufnahmen 29 ausgebildet, die von der Rückseite 22 bis zu der von der Vorderseite 21 abgewandten Seite der Kontaktstellen 23 reichen. Die Seitenwände 27 einer  
35

jeden Materialaufnahme 29 sind mit einem isolierenden Material 28 ausgekleidet. Der übrige Bereich ist mit einem Kontaktmaterialialelement 24 aus einem elektrisch leitenden Kontaktmaterial ausgefüllt. An der Rückseite 22 bilden die Kontaktmaterialialelemente Kontaktstellen 26, die ihrerseits über Kontaktmetallisierungen 25 mit den Kontaktflächen 12 des Substrats verbunden sind. Die Kontaktmetallisierungen 25 können beispielsweise Lotbumps oder Bumps aus leitfähigem Kleber sein. Nachdem die elektrische Verbindung zwischen den Kontaktstellen 23 des Chips 20 und den Kontaktflächen 12 über die Kontaktmaterialialelemente und die Kontaktmetallisierungen 25 hergestellt ist, wird die Vergußmasse oder der Kleber 31 aufgebracht, so daß ein luftdichter Abschluß der elektrischen Kontakte sichergestellt ist. Darüber hinaus übernimmt die Vergußmasse oder der Kleber 31, wie oben bereits dargestellt, auch eine mechanische Halterung des Chips auf dem Substrat 10.

Die Materialaufnahmen 29 mit dem darin befindlichen Kontaktmaterialialelement 24 sind auch als Durchkontaktierung oder Rückseitenkontakte bekannt. Die Herstellung derartiger Durchkontakte ist aus dem Stand der Technik seit langem bekannt und soll deshalb an dieser Stelle nur kurz dargestellt werden. Das Ausbilden der Materialaufnahme 29 kann dabei auf verschiedene Arten erfolgen:

a) Durch einen entsprechenden Ätzprozeß an einer geeigneten Stelle in der Prozeßführung vor dem Dünnen des Wafers bzw. des Chips. Dabei wird ein Graben ("Trench") von der Vorderseite 21 an die entsprechende Stellen der Durchkontaktierung geätzt, der geringfügig tiefer ist als die spätere Bauteildicke.

Der Graben wird mit dem vorgesehenen elektrisch leitfähigen Kontaktmaterial aufgefüllt und mit den entsprechenden Kontaktstellen 23 der Bauelemente auf dem Chip 20 kontaktiert. Durch den später folgenden Dünnungsprozeß wird die Unterseite



des gefüllten Trenches freigelegt und bildet die gewünschte Kontaktstelle auf der Rückseite.

b) Nach der Prozessierung des Chips 20, d. h. nach dem Ausbilden sämtlicher integrierter Bauelemente in der Vorderseite 21, dem Aufbringen der Passivierungsschicht und dem Ausbilden der Kontaktstellen 23 erfolgt eine Dünnung des Chips 20 von dessen Rückseite 22 her. Nach dem Dünnen der Rückseite 22 wird an den Stellen, an denen die Kontaktstellen 23 auf der Vorderseite gelegen sind, eine Materialaufnahme 29 von der Rückseite her in den Chip 20 ausgebildet. Das Ausbilden der Materialaufnahme kann z. B. durch einen Ätzprozeß erfolgen. Sobald die Rückseiten der Kontaktstellen 23 erreicht sind, kann ein elektrischer Kontakt zu diesen hergestellt werden. Zu diesem Zweck werden zunächst die Seitenwände 27 der Materialaufnahmen 29 mit einem isolierendem Material ausgekleidet. Anschließend wird der verbleibende Freiraum mit einem elektrisch leitfähigem Kontaktmaterial aufgefüllt. Da das Auffüllen mit dem Kontaktmaterial von der Rückseite 22 des Chips 20 her erfolgt, kann das Kontaktmaterialelement 24 an der an der Rückseite gebildeten Kontaktstelle nunmehr elektrisch kontaktiert werden. Insbesondere ist es hier auch möglich, auf die Rückseite 22 des Chips 20 zunächst eine Umverdrahtungsebene aufzubringen, um beispielsweise ein anderes, an das Kontaktflächenlayout angepasstes Layout der Kontaktstellen zu erzielen.

Die Kontaktierung kann mit allen aus dem Bereich der Flip-Chip-Technologie bekannten Verbindungstechnologien erfolgen.

30

Das Dünnen des Chips kann durch Ätzen, Polieren, Schleifen oder andere Material abtragende Verfahren vorgenommen werden. Abhängig von der Bearbeitungsmethode wird dabei die Bruchfestigkeit der Rückseite erhöht. Die durch den Dünnungsprozeß (Schleifen) verursachten Materialbeschädigungen werden auch durch Ätzen oder Polieren entfernt; die dadurch erzeugte Si-Oberfläche weist hohe Bruchspannungen auf. Die maximale

35

Bruchspannung der Vorderseite ist durch die Erzeugung der Bauelemente vorgegeben und in der Regel niedriger.

Auch wenn dies in der Figur 1 nicht explizit dargestellt ist, erfordert es die vorliegende Verbindungstechnologie zwischen Chip und Substrat natürlich nicht, daß die Kontaktstellen 23 auf der Vorderseite des Chips zugänglich sind. Die Kontaktstellen 23 könnten beispielsweise unterhalb einer weiteren Isolationsschicht gelegen sein.

Gleichfalls ist es denkbar, den elektrischen Kontakt zwischen den Kontaktstellen 23 und den Kontaktpunkten 26 auf der Rückseite des Chips über entlang der Oberfläche des Chips verlaufender Leiterstrukturen herzustellen. Denkbar ist diese Variante vor allem dann, wenn gegebenenfalls manche der Kontaktstellen nicht über eine durch den Chip hindurchgehende Durchkontaktierungen kontaktiert werden können.

Die Erfindung schafft somit eine Chipanordnung, die eine gegenüber dem Stand der Technik höhere Bruchfestigkeit aufweist, da die Verbindung des Chips über die auf maximale Bruchfestigkeit bearbeitete Rückseite erfolgt.

## Bezugszeichenliste

	10	Substrat
5	11	Kontaktseite
	12	Kontaktfläche
	20	Chip
	21	Vorderseite
10	22	Rückseite
	23	Kontaktstelle
	24	Kontaktmaterialelement
	25	Kontaktmetallisierung
	26	Kontaktpunkt
15	27	Seitenwand (der Materialaufnahme)
	28	Isolierung
	29	Materialaufnahme
	30	Seitenkante
	31	Kleber
20		

## Patentansprüche

1. Chipanordnung mit einem eine Vorderseite (21) und eine Rückseite (22) aufweisenden Chip (20), in dessen Vorderseite  
5 (21) mindestens ein integriertes Bauelement ausgebildet ist, wobei der Chip (20) auf oder in seiner Vorderseite (21) zur Kontaktierung des integrierten Bauelementes mit Kontaktstellen (23) versehen ist und Kontaktmaterialelemente (24) aus einem Kontaktmaterial aufweist, die sich in Materialaufnahmen  
10 (29) zwischen den Kontaktstellen (23) und Kontaktpunkten (26) auf der Rückseite (22) des Chips (20) erstrecken, und mit einem Substrat (10) mit einer Kontaktseite (11), auf der Kontaktflächen (12) zur Definition eines Kontaktflächenlayouts ausgebildet sind, wobei der Chip (20) derart auf dem Substrat  
15 (10) angeordnet ist, daß die Rückseite (22) des Chips (20) auf der Kontaktseite (11) des Substrats (10) angeordnet ist und die Kontaktflächen (12) unter Herstellung einer elektrischen Verbindung gegenüberliegend den Kontaktpunkten (26) zum Liegen kommen.
- 20 2. Chipanordnung nach Anspruch 1, bei der der Chip (20) auf seiner Rückseite (22) gedünnt ist.
3. Chipanordnung nach Anspruch 1 oder 2, bei der die Materialaufnahmen (29) durch den Chip (20) hindurch verlaufen.  
25
4. Chipanordnung nach Anspruch 1, 2 oder 3, bei der die Materialaufnahmen (29) entlang der Vorderseite (21), der Rückseite (22) und zumindest einer die Vorder- und Rückseite verbindende Seitenkante (30) des Chips (20) verlaufen.  
30

FIG 1

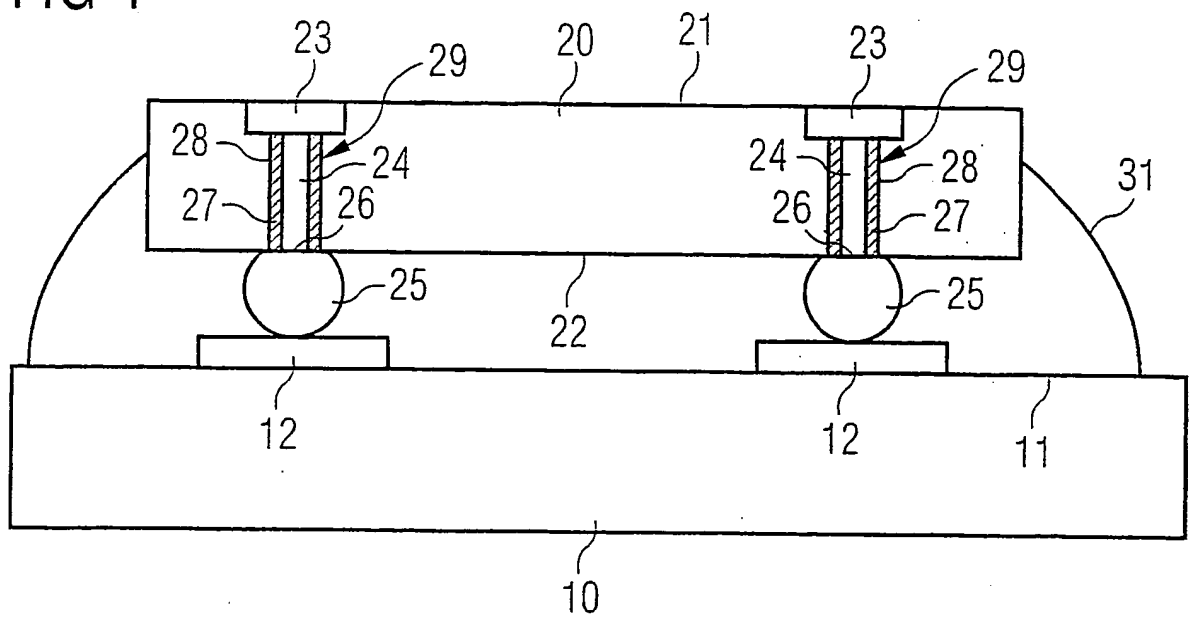
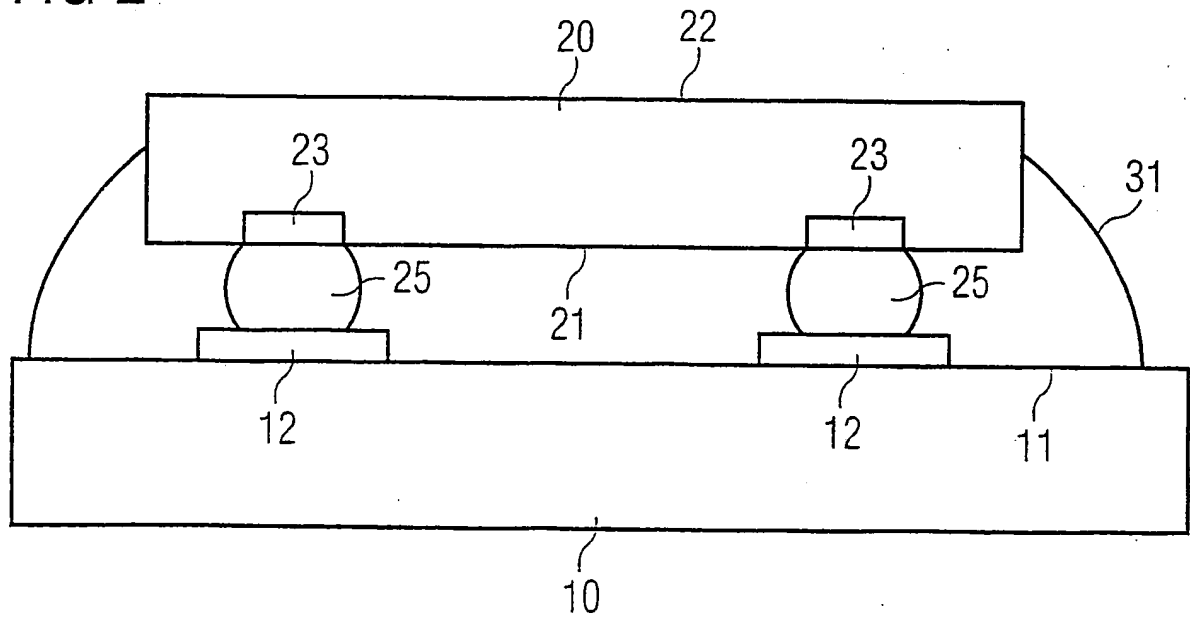


FIG 2



(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
19. Juni 2003 (19.06.2003)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2003/050850 A3**

(51) Internationale Patentklassifikation<sup>7</sup>: **H01L 23/48**,  
21/56, 21/60

(21) Internationales Aktenzeichen: PCT/DE2002/004398

(22) Internationales Anmeldedatum:  
29. November 2002 (29.11.2002)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
101 61 043.2 12. Dezember 2001 (12.12.2001) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von  
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-  
Martin-Strasse 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): MAYERHOFER,

Boris [DE/DE]; Prinzenweg 20, 93047 Regensburg (DE).  
MÜLLER, Jochen [DE/DE]; Probstberg 83, 93173  
Wenzenbach (DE).

(74) Anwalt: EPPING HERMANN FISCHER PATEN-  
TANWALTSGESELLSCHAFT MBH; Riddersstrasse 55,  
80339 München (DE).

(81) Bestimmungsstaaten (national): BR, CA, CN, IL, IN, JP,  
KR, MX, RU, UA, US.

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,  
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,  
IE, IT, LU, MC, NL, PT, SE, SK, TR).

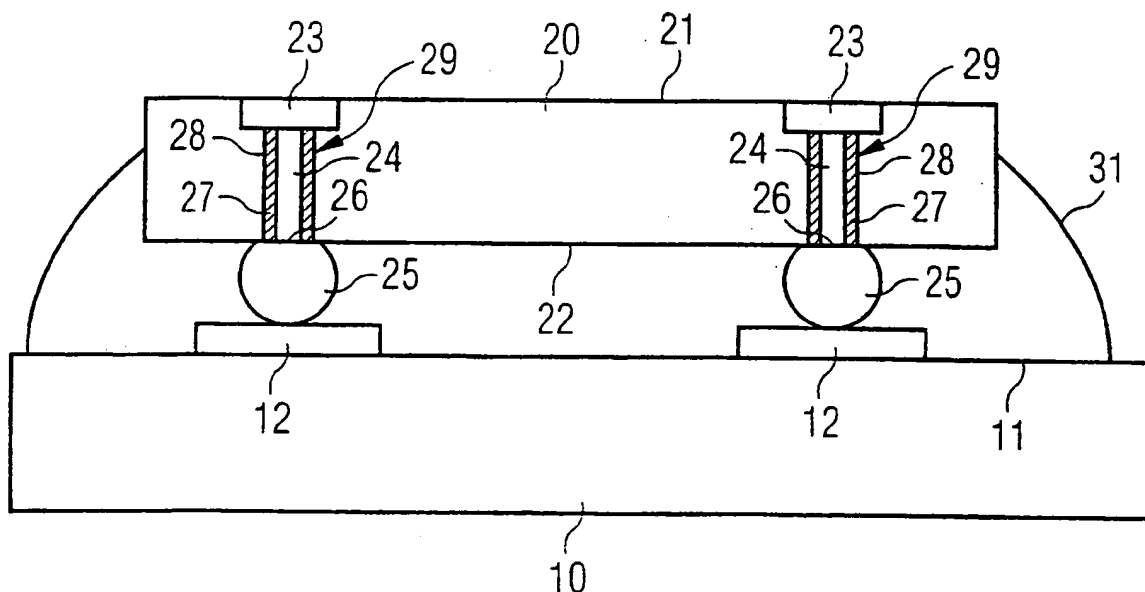
Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden  
Frist; Veröffentlichung wird wiederholt, falls Änderungen  
eintreffen

[Fortsetzung auf der nächsten Seite]

(54) Title: CONTACTING OF A SEMICONDUCTOR CHIP ON A SUBSTRATE USING FLIP-CHIP-LIKE TECHNOLOGY

(54) Bezeichnung: KONTAKTIERUNG EINES HALBLEITERCHIPS AUF EINEM SUBSTRAT IN FLIP-CHIP-ÄHNLICHER  
TECHNOLOGIE



(57) Abstract: The invention relates to a chip assembly comprising a chip (20) having a front side (21) and a rear side (22) and in whose front side at least one integrated component is provided. The chip is provided, on or in the front side thereof, with contact locations (23) serving to contact the integrated component and has contact material elements (24) made of a contact material that extend in material receptacles (29) between the contact locations (23) and contact points (26) on the rear side of the chip. The chip assembly also comprises a substrate (10) with a contact side (11) on which contact surfaces (12) for defining a contact surface layout are provided. The chip is placed on the substrate so that the rear side (22) of the chip (20) is situated on the contact side (11) of the substrate (10), and the contact surfaces (12) rest opposite the contact points (26) while establishing an electrical connection.

[Fortsetzung auf der nächsten Seite]

WO 2003/050850 A3



(88) Veröffentlichungsdatum des internationalen

Recherchenberichts:

11. März 2004

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

---

(57) **Zusammenfassung:** Die Erfindung schlägt eine Chipanordnung mit einem eine Vorderseite (21) und eine Rückseite (22) aufweisenden Chip (20) vor, in dessen Vorderseite mindestens ein integriertes Bauelement ausgebildet ist, wobei der Chip auf oder in seiner Vorderseite zur Kontaktierung des integrierten Bauelementes mit Kontaktstellen (23) versehen ist und Kontaktmaterialelemente (24) aus einem Kontaktmaterial aufweist, die sich in Materialaufnahmen (29) zwischen den Kontaktstellen (23) und Kontaktpunkten (26) auf der Rückseite des Chips erstrecken, und mit einem Substrat (10) mit einer Kontaktseite (11), auf der Kontaktflächen (12) zur Definition eines Kontaktflächenlayouts ausgebildet sind, wobei der Chip derart auf dem Substrat angeordnet ist, dass die Rückseite (22) des Chips (20) auf der Kontaktseite (11) des Substrates (10) angeordnet ist und die Kontaktflächen (12) unter Herstellung einer elektrischen Verbindung gegenüberliegend den Kontaktpunkten (26) zum Liegen kommen.

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 H01L23/48 H01L21/56 H01L21/60

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 H01L G06K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 463 246 A (MATSUNAMI MITSUO) 31 October 1995 (1995-10-31) column 6, line 1 -column 11, line 40 column 18, line 64 -column 22, line 61 claims 1,2,6-10 figures 2-6,14-20	1-3
A		4
X	PATENT ABSTRACTS OF JAPAN vol. 012, no. 187 (E-615), 31 May 1988 (1988-05-31) -& JP 62 291129 A (NEC CORP), 17 December 1987 (1987-12-17) abstract figures 1-3	1,2,4

---  
-/--

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

\* Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*Z\* document member of the same patent family

Date of the actual completion of the international search

17 December 2003

Date of mailing of the international search report

02/01/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Weis, T



## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 682 062 A (GAUL STEPHEN JOSEPH) 28 October 1997 (1997-10-28) column 4, line 4 -column 6, line 55 column 13, line 52 -column 15, line 54 claims 1,7 figures 1,10	1-3
A		4
X	US 6 168 969 B1 (FARNWORTH WARREN M) 2 January 2001 (2001-01-02) column 2, line 58 -column 5, line 47 claims 1,2,30 figures 1,2	1-3
A		4
A	EP 0 907 206 A (MATSUSHITA ELECTRONICS CORP) 7 April 1999 (1999-04-07) the whole document	1-4

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
US 5463246	A	31-10-1995	JP	1963780 C	25-08-1995
			JP	2178939 A	11-07-1990
			JP	6091132 B	14-11-1994
			JP	2189961 A	25-07-1990
			JP	3091953 A	17-04-1991
<hr/>					
JP 62291129	A	17-12-1987	NONE		
<hr/>					
US 5682062	A	28-10-1997	NONE		
<hr/>					
US 6168969	B1	02-01-2001	US	5973396 A	26-10-1999
			US	6400008 B1	04-06-2002
<hr/>					
EP 0907206	A	07-04-1999	JP	3184493 B2	09-07-2001
			JP	11168104 A	22-06-1999
			AU	741204 B2	22-11-2001
			AU	8787498 A	22-04-1999
			CA	2249062 A1	01-04-1999
			CN	1213844 A	14-04-1999
			EP	0907206 A1	07-04-1999
			TW	396387 B	01-07-2000
			US	6365513 B1	02-04-2002
<hr/>					

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
 IPK 7 H01L23/48 H01L21/56 H01L21/60

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

# B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
 IPK 7 H01L G06K

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ

# C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 463 246 A (MATSUNAMI MITSUO) 31. Oktober 1995 (1995-10-31) Spalte 6, Zeile 1 - Spalte 11, Zeile 40 Spalte 18, Zeile 64 - Spalte 22, Zeile 61 Ansprüche 1,2,6-10 Abbildungen 2-6,14-20	1-3
A	---	4
X	PATENT ABSTRACTS OF JAPAN vol. 012, no. 187 (E-615), 31. Mai 1988 (1988-05-31) -& JP 62 291129 A (NEC CORP), 17. Dezember 1987 (1987-12-17) Zusammenfassung Abbildungen 1-3 ---	1,2,4
	-/-	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

\*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

\*E\* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

\*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

\*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

\*P\* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

\*T\* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

\*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

\*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\*&\* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

17. Dezember 2003

Absendedatum des internationalen Recherchenberichts

02/01/2004

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2  
 NL - 2280 HV Rijswijk  
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Weis, T

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 682 062 A (GAUL STEPHEN JOSEPH) 28. Oktober 1997 (1997-10-28) Spalte 4, Zeile 4 -Spalte 6, Zeile 55 Spalte 13, Zeile 52 -Spalte 15, Zeile 54 Ansprüche 1,7 Abbildungen 1,10	1-3
A	---	4
X	US 6 168 969 B1 (FARNWORTH WARREN M) 2. Januar 2001 (2001-01-02) Spalte 2, Zeile 58 -Spalte 5, Zeile 47 Ansprüche 1,2,30 Abbildungen 1,2	1-3
A	---	4
A	EP 0 907 206 A (MATSUSHITA ELECTRONICS CORP) 7. April 1999 (1999-04-07) das ganze Dokument -----	1-4

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5463246	A	31-10-1995	JP 1963780 C 25-08-1995
			JP 2178939 A 11-07-1990
			JP 6091132 B 14-11-1994
			JP 2189961 A 25-07-1990
			JP 3091953 A 17-04-1991
JP 62291129	A	17-12-1987	KEINE
US 5682062	A	28-10-1997	KEINE
US 6168969	B1	02-01-2001	US 5973396 A 26-10-1999
			US 6400008 B1 04-06-2002
EP 0907206	A	07-04-1999	JP 3184493 B2 09-07-2001
			JP 11168104 A 22-06-1999
			AU 741204 B2 22-11-2001
			AU 8787498 A 22-04-1999
			CA 2249062 A1 01-04-1999
			CN 1213844 A 14-04-1999
			EP 0907206 A1 07-04-1999
			TW 396387 B 01-07-2000
			US 6365513 B1 02-04-2002